

PAT-NO: JP403173167A
DOCUMENT-IDENTIFIER: JP 03173167 A
TITLE: SURFACE-MOUNT PACKAGE SEMICONDUCTOR
DEVICE AND MOUNTING THEREOF
PUBN-DATE: July 26, 1991

INVENTOR-INFORMATION:
NAME
TAKAHASHI, HIDEKAZU

ASSIGNEE-INFORMATION:	
NAME	COUNTRY
HITACHI LTD	N/A
HITACHI MICRO COMPUT ENG LTD	N/A

APPL-NO: JP01310643

APPL-DATE: December 1, 1989

INT-CL (IPC): H01L023/50, H05K001/18 , H05K003/34

US-CL-CURRENT: 29/827, 257/685 , 257/686 , 257/777 ,
438/FOR.368

ABSTRACT:

PURPOSE: To enhance a mounting density by piling up packages on the same wiring board in a multistage and multiple manner by a method wherein a plurality of leads are formed in such a way that they are bent along the surface and the rear surface of a package main body.

CONSTITUTION: In a surface mount package semiconductor device, leads 6 in

parts are bent along the surface of a package. In the surface-mount package semiconductor device, the leads 6 in the parts are bent along the surface of the package main body and leads 7 in other parts are bent along the rear surface. When a semiconductor device is mounted on a wiring board, a semiconductor device is mounted so as to be piled up on it in a small-sized semiconductor device 8; the leads of the upper semiconductor device are brought into contact with leads bent on the surface of the lower semiconductor device and are connected by a solder; the devices are mounted.

COPYRIGHT: (C)1991,JPO&Japio

⑨ 日本国特許庁(JP)

⑩ 特許出願公開

⑫ 公開特許公報(A)

平3-173167

⑤ Int.Cl.⁵

H 01 L 23/50
H 05 K 1/18
3/34

識別記号

W
S

庁内整理番号

9054-5F
6736-5E

⑬ 公開 平成3年(1991)7月26日

審査請求 未請求 請求項の数 3 (全4頁)

⑭ 発明の名称 面実装パッケージ半導体装置及びその実装方法

⑮ 特 願 平1-310643

⑯ 出 願 平1(1989)12月1日

⑰ 発 明 者 高 橋 英 一

東京都小平市上水本町5丁目22番1号 日立マイクロコン
ピュータエンジニアリング株式会社内

⑱ 出 願 人 株式会社日立製作所

東京都千代田区神田駿河台4丁目6番地

⑲ 出 願 人 日立マイクロコンピュ
ータエンジニアリング
株式会社

東京都小平市上水本町5丁目22番1号

⑳ 代 理 人 弁理士 小川 勝男 外1名

明 細 書

1. 発明の名称 面実装パッケージ半導体装置
及びその実装方法

2. 特許請求の範囲

1. パッケージ本体の側面または及び正面から外部に取り出された複数のリードを有する面実装パッケージ半導体装置であって、上記複数のリードがパッケージ本体の上面または及び下面に沿うように屈曲して設けられていることを特徴とする面実装パッケージ半導体装置。

2. 複数のリードがパッケージ本体の上下面に沿うように屈曲して設けられた面実装パッケージ半導体装置を複数個上下に積み重ね、上記リード間で相互に接続することを特徴とする面実装パッケージ半導体装置の実装方法。

3. 複数のリードがパッケージ本体の上下面に沿うように屈曲して設けられた面実装パッケージ半導体装置を基板上に縦向きにして互いに重なるよ

うに並べ、リード間で相互に接続するとともに基板の配線に接続することを特徴とする面実装パッケージ半導体装置。

3. 発明の詳細な説明

(産業上の利用分野)

本発明は面実装パッケージ半導体装置に関し、特にパッケージにおけるリード構造及びこのようなパッケージを使用した半導体装置の実装方法に係るものである。

(従来の技術)

IC部品をパッケージ本体に内蔵し、側面からアウターリード(以下単にリードと称する)を取り出した半導体装置を配線プリント基板に実装する場合に、従来のリード挿入形のパッケージに代って基板の配線に直接に半田付けする平面実装形パッケージが最近主流となりつつある。

面実装形パッケージについては、日立製作所発行の「日立面実装形パッケージ実装マニュアル」

(昭和63年版)に記載されている。

従来の面実装形パッケージは大別して、(a)リードがパッケージ側面から一部屈曲して周辺へのび、そののびた部分で配線と接触するもの、

(b)リードが垂直に向きその先端面で配線に接触するもの、(c)リードがパッケージ側面から内側にJ形に曲げられその曲がった部分の下部で配線と接触するもの、(d)リードがなく端子部分で配線と接するリードレス等がある。

(発明が解決しようとする課題)

従来の面実装パッケージ半導体装置は配線基板に対して2次元方向でリードと配線とが接続する形で実装するものであるために、実装面積が基板面積よりは大きくなることはなかった。

また、実装する半導体装置の数が多くなればそれだけ広い面積の実装基板が必要となった。

本発明は上記した問題を解消するために、パッケージを多段とすることにより3次元実装を可能としたもので、その目的は、同じ配線基板上でパ

ッケージを多段、多重にして実装密度を向上することにある。

(課題を解決するための手段)

上記目的を達成するために、本発明はパッケージ本体の側面または及び正面から外部に取り出された複数のリードを有する面実装パッケージ半導体装置であって、上記複数のリードがパッケージ本体の上面または及び下面に沿うように屈曲して設けられることを特徴とするものである。

本発明はまた、上記した面実装パッケージ半導体装置の実装方法であって、複数のリードがパッケージ本体の上下面に沿うように屈曲して設けられた面実装パッケージ半導体装置を複数個上下に積み重ね、リード間で相互に接続することを特徴とするものである。

本発明はさらに、上記半導体装置の他の実装方法であって、複数のリードがパッケージ本体の上下面に沿うように屈曲して設けられた面実装パッケージ半導体装置を基板上に縦向きにして互いに

重なるように並べ、リード間で相互に接続するとともに基板の配線に接続することを特徴とするものである。

(作用)

パッケージ本体の側面(又は正面)から本体の上下面に沿って屈曲してのびるリード自体がパッケージ面から突出しており、このリード表面に半田等の接合材を介して他のパッケージのリードや配線基板の配線への接続ができ、3次元実装を可能とする。

(実施例)

以下実施例について図面を参照しながら説明する。

第1図は実装パッケージ半導体装置の従来例の外形を示す斜断面図である。1は樹脂パッケージ本体、2は側面より引き出されたリード(アウターリード)である。

第2図は第1図で示した従来例の半導体装置を

プリント配線基板3に実装する場合の形態を示す断面図である。同図の4は半田であって配線5とリード2との間を接続する。

第3図以下はいずれも本発明の実施例を示す。このうち、第3図に斜断面図で示す面実装パッケージ半導体装置において、一部のリード6はパッケージ上面に沿うように屈曲させてある。第4図はその正面図である。

第5図は面実装パッケージ半導体装置において一部のリード6をパッケージ本体の上面にそって屈曲させるとともに他部のリード7を下面にそって屈曲させた例を示す。

第6図は第3図、第4図に示された半導体装置を配線基板に実装する例を示す。この場合、上に重ねて載置される半導体装置は小形の半導体装置8であり、上の半導体装置のリードは下の半導体装置の上面に屈曲されたリードに接触させて半田接続し実装される。

第7図は第5図に示されるパッケージの半導体装置A、Bを上下に二つ重ねてリード同士を接続

させ半田付けして基板上に実装する場合の例を示す。下の半導体装置のリードは内側に屈曲させた状態で基板の配線に半田接続される。

第8図は第5図に示されるパッケージの半導体装置(A、B、C)を縦向きにして基板3上に横並びにして実装する例を示す。この場合、各パッケージの一側面が下側になってそこから引出されるリードの屈曲する部分で基板上の配線に半田付けされるとともに、隣り合うパッケージのリード同士が相互に接続される。

第9図はパッケージの側面から引出したリードのうち、一方側と他方側をそれぞれ反対方向に屈曲させたもの(A、B)を縦向きにして基板3上に向かい合わせて実装する例を示す。この場合、下側となった外向きのリードはそれぞれ基板の配線に半田接続し、上側となった内向きのリード間を接続することになる。

第10図は縦向きにしてならべた2つのパッケージ(半導体装置)の間に中間の配線基板9を介在させて実装する例を示す。この中間の配線基板

は両面に配線がプリントされ、下の主配線基板3上に縦向きに載置固定される。

第11図は第5図に示されるパッケージ半導体装置(A、B、C、D)を縦向きにして基板上に実装する応用例を示す。すなわち、AとBとを縦に並べてパッケージ側面で屈曲するリードを基板の配線に接続し、重ね合わせた部分で屈曲させたリード同士で接続するとともに、その上にCとDとを縦に並べたものである。

第12図は同じくリードを内側に屈曲させたパッケージの半導体装置(A、B、C、D、E)を一部(A、B、C)は横向きのまま基板上に積み重ね、その上に他の一部(D、E)を縦向きに並べて配置し、相互にリード間で接続したものである。

これまでに述べた面実装形パッケージ半導体装置の実施例では、主としてリードが2方向タイプの樹脂パッケージを対象としたが、本発明はこれ以外に4方向タイプの樹脂パッケージ、セラミックパッケージにも同様に適用することができる。

(発明の効果)

以上に実施例で説明した本発明によれば、以下に記載するような効果が奏せられる。

パッケージの側面より引き出したリードの屈曲させる向きを適当に更えることで面実装半導体装置の三次元実装化が可能となり、ICの基板実装密度が同一面積の基板で2倍以上に増すことになった。

三次元実装化することにより、基板における配線の何%かを省略することができ、基板配線の容量等が最小限になり、基板を含めた電子装置全体の性能を向上させることができる。

4. 図面の簡単な説明

第1図は面実装パッケージ半導体装置の従来の形状(構造)を示す斜断面図である。

第2図は第1図の半導体装置を配線基板上に実装する形態を示す正面断面図である。

第3図は本発明の一実施例を示す面実装パッケージ半導体装置の斜断面図である。

第4図は第3図で示す半導体装置の正面図である。

第5図は本発明の他の一実施例を示す面実装パッケージ半導体装置の正面図である。

第6図は第1図に示す半導体装置を用いて基板上に実装する形態を示す断面図である。

第7図は第5図に示す半導体装置を上下に重ねて基板上に実装する形態を示す断面図である。

第8図は第5図に示す半導体装置を縦向きにして横に複数個ならべて基板上に実装する形態を示す断面図である。

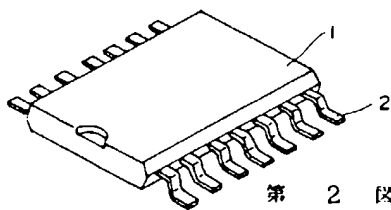
第9図、第10図は本発明の一変形例を示す断面図である。

第11図、第12図は本発明の他の応用例を示す断面図である。

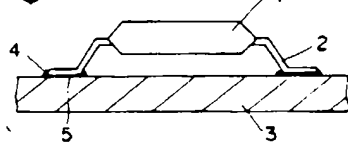
- 1…パッケージ本体、 2…アウターリード、
- 3…プリント配線基板、 4…半田、 5…配線
- 6…上面に屈曲させたアウターリード、
- 7…下面に屈曲させたアウターリード。

代理人 弁理士 小川勝男

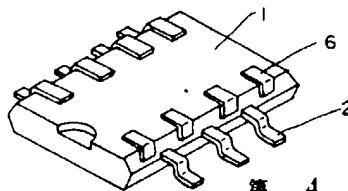
第 1 図



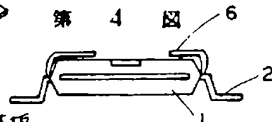
第 2 図



第 3 図

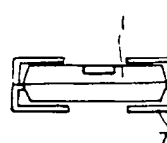


第 4 図

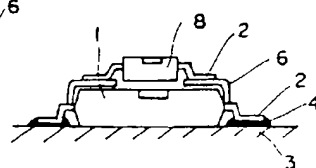


- 1-パッケージ本体
- 2-アウターリード
- 3-フロント配線基板
- 4-半田
- 5-配線
- 6-上面に圧曲させたアウターリード

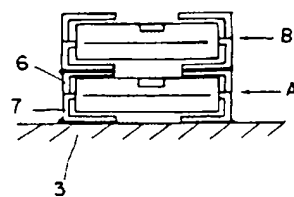
第 5 図



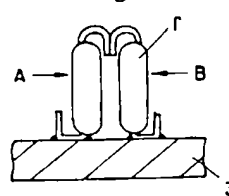
第 6 図



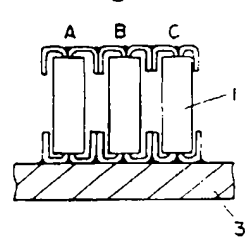
第 7 図



第 9 図

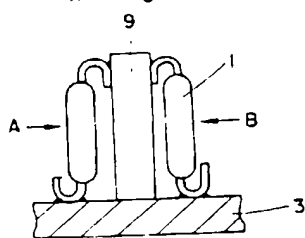


第 8 図

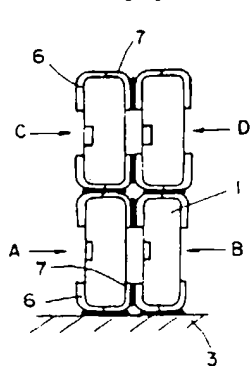


7-下面に圧曲させたアウターリード

第 10 図



第 11 図



第 12 図

